

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-212708

(43)Date of publication of application : 20.09.1986

(51)Int.Cl. G01B 11/30  
G01N 21/88  
G06K 9/00  
H01L 21/66

(21)Application number : 60-052272

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.03.1985

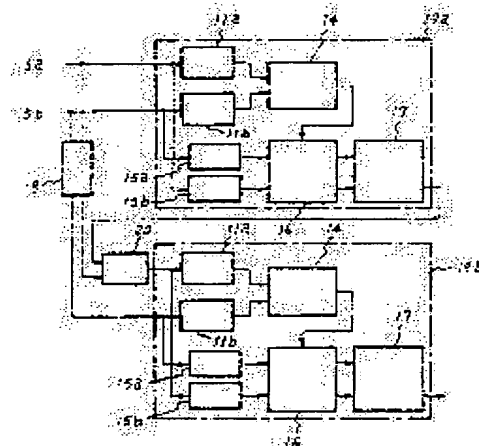
(72)Inventor : MAEDA SHUNJI  
NINOMIYA TAKANORI  
NAKAGAWA YASUO  
KUBOTA HITOSHI

## (54) METHOD AND APPARATUS FOR DETECTING PATTERN DEFECT

### (57)Abstract:

**PURPOSE:** To enable the detection of a defect regardless of inter-lamellar alignment error between patterns, by a method wherein any parts are made as dead zones by being judged to be normal whenever two detection signals as positioned show a brightness difference below a certain value and the, further detection signals are subjected to a masking at the dead zones to be excluded in the subsequent decision on defects or others, a procedure which shall be carried out for one layer at a time.

**CONSTITUTION:** This apparatus is made up of a delay circuit 18, a masking circuit 20 and two single layer defect detection circuits 19a and 19b. The outputs of linear image sensors 5a and 5b are detected about the edges of patterns with edge detection circuits 11a and 11b, outputs of which are binary-coded with a positional deviation detecting circuit 14 to detect non-coincidence between two patterns. In addition, the outputs of the sensors 5a and 5b are delayed with delay circuits 15a and 15b and outputs thereof 15a and 15b are positioned by shifting to achieve the optimum state as measured with a positioning circuit 16. Then, brightness thereof is compared with a circuit 17 for erasing coincident parts to erase coincident areas and the areas left, not converted to dead zones, can be detected as defects.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-212708

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)9月20日

G 01 B 11/30  
G 01 N 21/88  
G 06 K 9/00  
H 01 L 21/66

8304-2F  
7517-2G  
C-8320-5B  
7168-5F

審査請求 未請求 発明の数 2 (全7頁)

⑮ 発明の名称 パターン欠陥検出方法及びその装置

⑯ 特 願 昭60-52272

⑰ 出 願 昭60(1985)3月18日

⑱ 発 明 者 前 田 俊 二 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内  
⑱ 発 明 者 二 宮 隆 典 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内  
⑱ 発 明 者 中 川 泰 夫 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内  
⑱ 発 明 者 窪 田 仁 志 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称 パターン欠陥検出方法及びその装置

2 特許請求の範囲

1 同一回路パターンを複数個有する試料上の2個の回路パターン上の対応する部分の画像を検出し、この検出信号を相互して比較することにより不一致部分を欠陥と判定する方法において、2つの検出信号を位置合せし、明るさを比較して明るさの差がある値以下の部分を正常と判定してこれを不感帯とし、検出信号を該不感帯でマスキングすることにより次の位置合せ及び欠陥判定には使用しないとする手順を、多層パターンの各層に層ずつ順次施すことによって、不感帯とならず残った領域を欠陥として検出することを特徴とするパターン欠陥検出方法。

2 同一回路パターンを複数個有する試料上の2個の回路パターン上の対応する部分の画像を検出し、この検出信号を相互して比較する

ことにより不一致部分を欠陥と判定する装置において、2つの検出信号を位置合せする手段と、明るさを比較して明るさの差がある値以下の部分を正常と判定し、これを不感帯とする手段と、検出信号を前記の不感帯でマスキングする手段を層数分だけシリアルに接続した欠陥検出回路とを有することを特徴とするパターン欠陥検出装置。

3 発明の詳細な説明

〔発明の利用分野〕

本発明はLSIウエハなどの半導体素子回路パターンの外観を検査する外観検査方法に係り、特に外観検査の自動化を志向したパターン欠陥検出方法に関するものである。

〔発明の背景〕

LSIなどの集積回路は高集積化と小形化の傾向にある。このような微細なパターンの生産は、その生産工程の中で細心の注意を払っても、パターンに欠陥が発生することが多く、精密な検査が必要である。更に微細パターンの立体構

造化に伴い、従来の外観検査方法では検査対象直下のパターンまで欠陥と判定されてしまう問題点があった。

即ち従来方法においては、検出される2箇所の回路パターンが同一であること、すなわち検出された2つの映像信号間に位置ずれがないことが条件となる。検査対象を配置したXYテーブルの精度、チップ配列精度、光学系・機械系の熱変形等により、入力パターン間に位置ずれが生ずることは免れ得ないので、位置ずれを測定して入力パターン間の位置ずれを補正して欠陥判定を行っていた。しかし、パターンの立体化に伴い検査対象の第1層(A層)と第2層(B層)にも位置ずれ、すなわちアライメント誤差が存在する場合には、層間のアライメント誤差と同じ、あるいはそれより小さな欠陥はそれが致命的な欠陥であっても欠陥だけを弁別して検出することはできなかった。層間のアライメント誤差はパターンを形成する場合、避けることができない位置ずれであり、従来の方法で不

一致検出を行うと層間位置ずれに悩まれてしまい、微細な欠陥検出は不可能であった。

層間のアライメント誤差をも考慮したパターン欠陥検査に関する本件出願に係る発明に関連して、マスクの位置合せに関する特開昭58-46636がある。当該マスクは1層パターンであり多層パターンではないので層間のアライメント誤差は生じようもないが、本願発明の検査対象であるウエハに適用することはできない。  
〔発明の目的〕

本発明の目的は、上記した従来技術の課題をなくし、比較する2組のパターン間に層間のアライメント誤差があっても高精度に欠陥を検出することのできる方法を提供することにある。

〔発明の概要〕

本件出願に係る発明は次なる過程を遂行すべく形成されている。即ち、

①コントラストが小さい多層パターンを2値化せず段差のまま段差と比検することにより検査する。

②層間のアライメント誤差を許容するため、各層ごとに位置合せを行い、一層ずつ2チップ間を比較する。

③既に検査した層で2チップ間で一致した部分はdon't care(不感帯化)とすることによりマスクングを行い、一層ずつシリアルに検査することにより全層を検査する。

〔発明の実施例〕

層間アライメント誤差を解消すべく本発明は次に示される様に形成されている。

近接した2チップを比較する場合、第1図に示すような2つのチップ上の対応するA及びBからなる二層パターンf、gを位置合せした後、これらの明るさを比較し不一致をとると、A層或いはB層のどちらかに位置合せされるため例えばA層が位置合せされた場合には第1図(c)のようにB層が不一致として検出される。ここで第1図(c)はパターンf及びg上のA層に関して位置合せがなされ、比較が行われると、A層に関しては検査が完了したことになる。そ

して、もとの検出パターン第1図(a)から一致部、即ちA層を消去し同図(d)を得る。消去されず、残った領域はB層であるので次にB層について位置合せを行ない、一致部を消去すると同図(f)のように不一致として欠陥だけを検出できる。このように、層ごとに位置合せを行い、明るさを比較して一致している領域を消去することを層数だけシリアルに繰返すことにより、欠陥だけを検出することが可能となる。

この欠陥検出法において第2図(a)に示すように層間のアライメント誤差が大きくA層とB層が直なり合うことが起こるような検査の難しいウエハを対象とする場合について以下詳しく説明する。

同図(c)に示すようにA層の位置合せを行い明るさの一致した領域即ちA層を消去するが、このA層消去を検出パターンfについて行い、gについては手を加えない。そして同図(d)のようにA層消去に伴ないB層も一部消去されてしまうため、今消去したB層の一部がB層の

位置合せ時に不一致として検出されることを避けるため、A層位置合せ後消去した領域を不感層 (Don't Care) としてマスクしてしまう。従って第2図 (d) の場合、実線以外はマスクされる。そしてこのパターン (同図 (d)) と検出パターン  $g$  (同図 (e)) の位置合せを行い、残されたB層の検査を行う。これにより、2つの層が直なり合う場合にも多層パターン上の各層の検査が可能となり、しかも検出される欠陥は正しいサイズに検出される。

次に第3図及び第4図を用いて、欠陥判定と don't care を説明する。第3図 (a), (b) はパターン  $f$  及び  $g$  の信号波形の一例である。これを位置合せし重ね合せて表示すると同図 (c) となる。例えば欠陥は正常部より暗いので  $f - g > -th$  ならば  $f$  を消去すると仮定すると同図 (c) から (d) を得る。ここで斜線部は  $f - g > -th$  を満たす領域を表わし、 $f$  と  $g$  が一致したとみなして don't care とした領域である。th はパターン  $f$  と  $g$  が一致するかどうかを

2 -1 なるオペレータを適用すると、暗いパターンのエッジだけを検出でき、同図 (b), (e) を得る。これをある2値化閾値  $th$  で2値化するとパターンエッジの最も暗くなる点を "1" に、それ以外を "0" にすることができ、同図 (c), (f) を得る。従って、これらのパターンエッジを表わす2値化パターンを用いて、パターンマッチングの手法により位置合せができる。即ち、2値化エッジパターンを  $fe, ge$  とすると、

$$S(u, v) = \sum_{i,j} [fe(i, j) \cdot EXOR \cdot ge(i-u, j-v)]$$
 なる  $S(u, v)$  を測定し、 $S(u, v)$  が最小となる  $u, v$  が2つのパターン  $fe, ge$  間の位置ずれ、即ちもとの検出パターン  $f, g$  間の位置ずれとすることができる。

パターン  $f$  及び  $g$  は本来2次元の信号であるから、第6図に2次元のパターンのエッジを検出する方法を示しておく。

最後に、本発明の一実施例を説明する。

光電変換器としては、リニアイメージセンサ、

判定する閾値である。第3図 (d) から、A層については欠陥が存在しなかったことがわかる。しかし、B層については層間のアライメント誤差のために位置合せが不完全となり消去することができない。

次に第4図 (a) (第3図 (d) に同じ) と同図 (b) を位置合せし重ね合せて表示するとB層の位置合せがなされ同図 (c) となる。再び  $f - g > -th$  の判定を行うと第4図 (d) のように求める欠陥だけが残る。斜線部の don't care 領域は位置合せ及び欠陥判定には寄与させていない。

以上説明したように本発明は多層パターンの検査を一層ずつあたかも層をはぐように各層について欠陥判定を行っていくことにより実行するもので、層間のアライメント誤差が存在しても何ら支障なく検査可能である。

次に位置合せの方法を第5図を用いて説明する。第5図 (a), (d) は、パターン  $f$  及び  $g$  の信号波形である。これらの信号波形に -1

TVカメラ等いかなるものでも使用可能であるが、本実施例ではリニアイメージセンサを用いており、当該リニアイメージセンサの自己走査、及びそれと直角方行に移動するXYテーブルによりLSIウェハの2次元パターンを検出する。

第7図に欠陥検出回路の一実施例を示す。リニアイメージセンサ5a, 5bの出力は、エッジ検出回路11a, 11bでパターンエッジが検出される。位置ずれ検出回路14では、エッジ検出回路11a, 11bの出力を2値化し一方の2値化パターンをシフトし、シフトした位置での不一致数をカウントし、2つの2値化パターン間の不一致数を検出する。また、リニアイメージセンサ5a, 5bの出力は遅延回路15a, 15bにより遅延させる。遅延数はリニアイメージセンサ検出数Mと位置合せに要するイメージセンサ走査回数Nにより決定され、遅延回路15a, 15bは各々M×Nのビット数のシフトレジスタにより形成される。位置合せ回路16では、位置ずれ検出回路14で測定

した最適な位置合せ状態、即ち不一致量が最小となるように遅延回路15a、15bの出力をシフトし位置合せを行う。そして、一致部消去回路17で明るさの比較を行い、一致する領域を消去する。以上が一層分の欠陥検出回路19aであり、これが層数だけシリアルに接続される。第7図は、第2図に示した2層からなるパターンを対象とするものであり、遅延回路18とマスキング回路20及び2組の一層分欠陥検出回路19a、19bによつて構成される。

位置ずれ検出回路14は、第8図に示す構成をとる。2値化回路21aの出力から、リニアイメージセンサ5aを1走査分遅延させるシフトレジスタ22a～22f及びシリアルイン・パラレルアウトのシフトレジスタ23a～23gにより7×7画素の2次元局部メモリを切出す。一方、2値化回路21b(第8図)の出力は同様のシフトレジスタ24a～24c、及び25を用いて遅延させ、出力を上記局部メモリの中心位置と同期させる。

のシフト量29とそれと直角方向(X方向)のシフト量28を出力する。

第9図に位置合せ回路16(第7図)の実施例を示す。選択回路30では、シフト量28により遅延回路15a及び一走査分遅延させるシフトレジスタ31a～31fの出力から最適なシフト位置を選択し、シフトレジスタ32に入力する。また、選択回路33ではシフト量29により走査方向の最適なシフト位置を選択する。従つて、選択回路33の出力には、不一致量が最小となるシフト位置の局部メモリが抽出される。一方、遅延回路15bの出力からも一走査分遅延させるシフトレジスタ34a～34c及びシフトレジスタ35を用いて、第8図のシフトレジスタ25の出力と同じ量だけ遅延させた位置の局部メモリを抽出する。この状態で選択回路33から出力される局部メモリはシフトレジスタ35から出力される局部メモリに対し、位置ずれのない最適なシフト位置になっている。

一致部消去回路17は、位置合せ回路16(

シフトレジスタ25の出力と局部メモリ各ビット出力をEOR回路25a～25nで排他的論理和をとり、不一致画素を検出する。カウンタ26a～26nでこの不一致画素の個数を計数する。カウンタ26a～26nは、リニアイメージセンサN走査毎にゼロクリアし、その直前に値を読出してやれば、M画素×N走査のエリア内の不一致画素数がわかる。局部メモリの各ビット出力は、シフトレジスタ25の出力に対してXY方向に±3画素の範囲で、1画素毎にシフトされたものであるので、カウンタ26a～26nではXY方向に±3画素入力パターンをシフトしたときの各シフト量における不一致画素数がカウントされる。従つて、最小値をもつカウンタがどれかを調べれば、不一致画素数が最小となるシフト量がわかり、各層に最適な位置合せが可能となる。

最小値検出回路27ではカウンタ26a～26nの値を読出し、最小値をもつカウンタを選択して、リニアイメージセンサ走査方向(Y方向)

第7図)の出力に対し差の2値化を行う回路であり、第10図にその構成を示す。位置合せされたパターンf、gの差  $f - g$  を閾値-thで2値化し、-thより大ならばfとgが一致し欠陥がないのでdon't care信号を出力する。この回路により対象がコントラストが小さくても欠陥判定可能となる。

マスキング回路20(第7図)は一致部消去回路17の出力で原面をdon't careとするもので、第3図(d)に示すように一致した領域をマスキングする。マスキングされた領域は一層分欠陥検出回路19b(第7図)内では一切使用しない。

以上2層からなるパターンを対象とする欠陥検出回路の例を説明したが、2層以上の多層パターンを対象とする場合も層数分欠陥検出回路をパイプラインで接続することにより同様の構成で実現できる。

〔発明の効果〕

以上説明したように、本発明はコントラスト

の低い対象の検査に有効であり、具体的には比較する2つのパターン間に層間のアライメント誤差が存在しても、欠陥を検出することが可能となる。

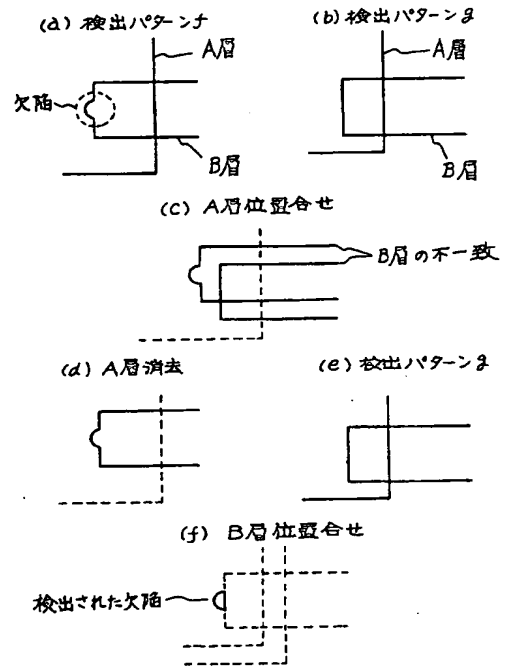
#### 4 図面の簡単な説明

第1図～第4図は本発明による欠陥検出の過程を示した図、第5図、第6図は位置合せのためのエッジ検出の例、第7図は本発明の実施例、第8図は位置ずれ検出回路、第9図は位置合せ回路、第10図は一致部消去回路をそれぞれ示す図である。

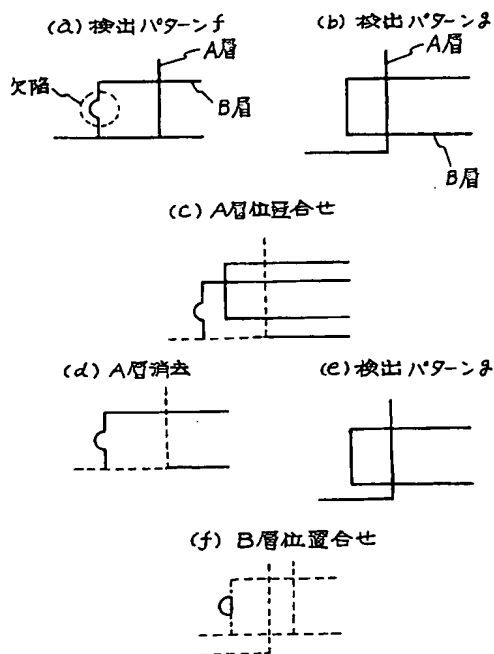
1…LSIウェハ、2…チップ、5…光電変換器、7…XYテーブル、11…エッジ検出回路、14…位置ずれ検出回路、16…位置合せ回路、17…一致部消去回路、15、18…遅延回路、19…辺分欠陥検出回路、20…マスキング回路、27…最小値検出回路。

代理人弁理士 小川 廣二

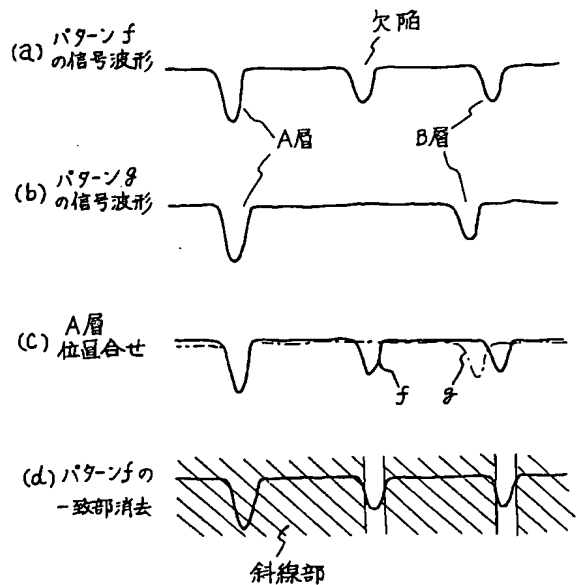
第1図



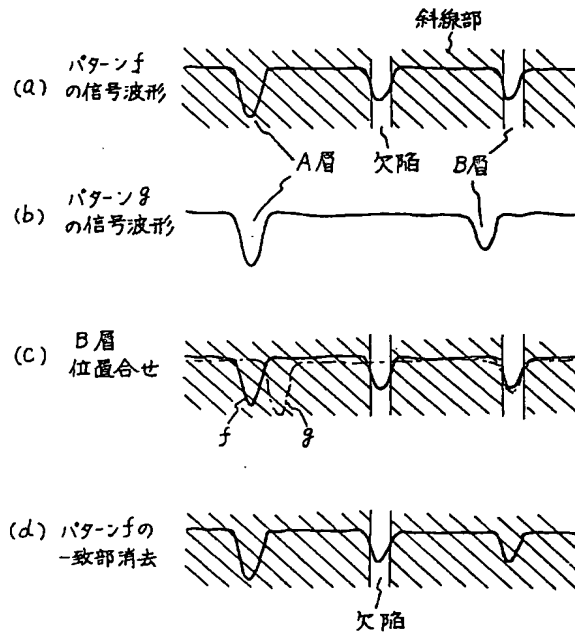
第2図



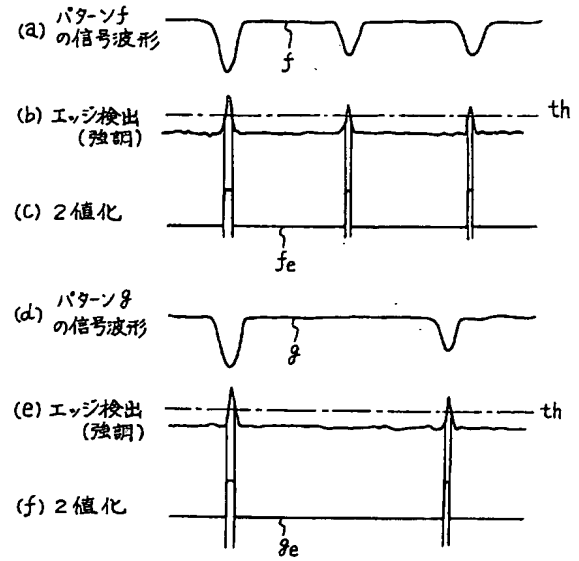
第3図



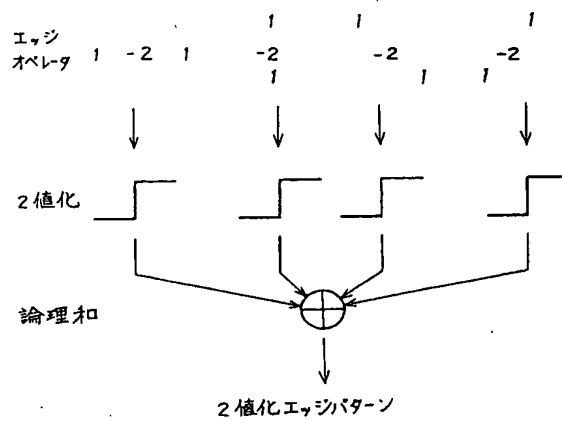
第 4 図



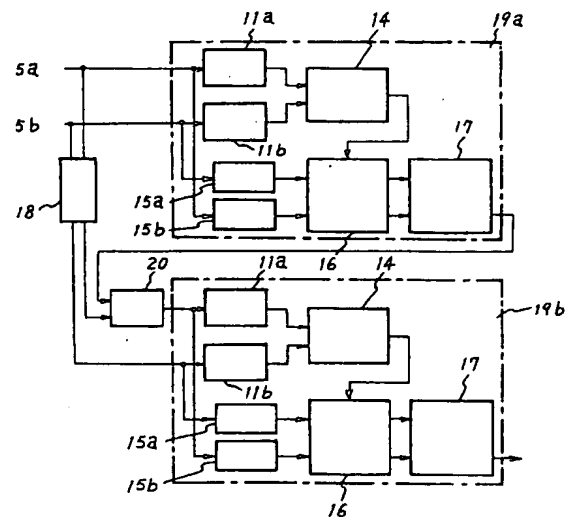
第 5 図



第 6 図

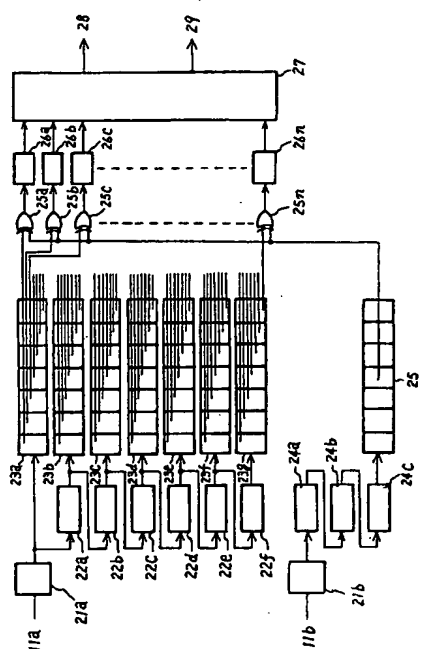


第 7 図

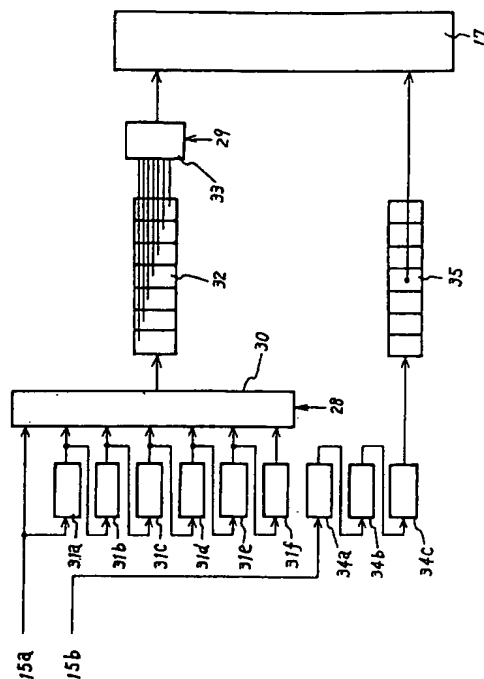




第 8 図



第 9 図



第 10 図

